

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
18. Dezember 2003 (18.12.2003)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 03/104987 A2

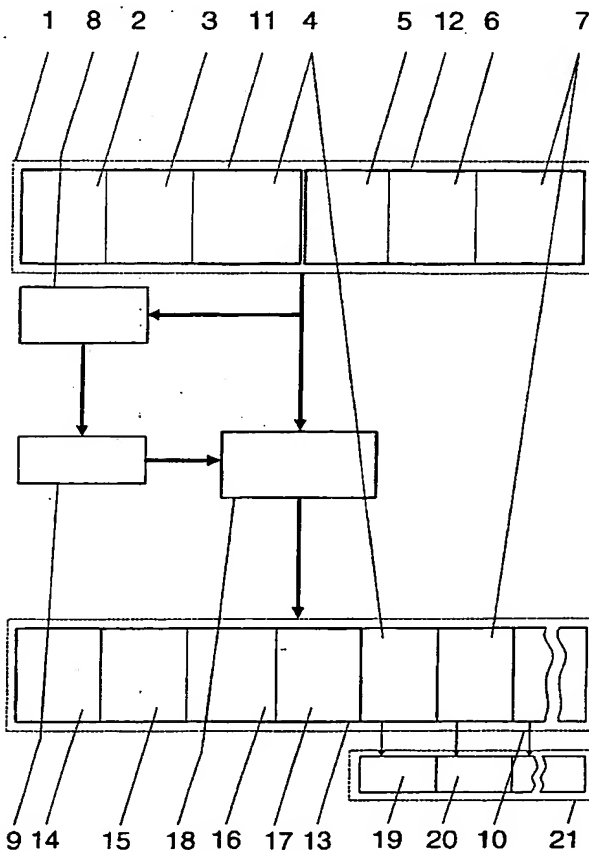
(51) Internationale Patentklassifikation: G06F 9/445  
(21) Internationales Aktenzeichen: PCT/DE03/01748  
(22) Internationales Anmeldedatum: 28. Mai 2003 (28.05.2003)  
(25) Einreichungssprache: Deutsch  
(26) Veröffentlichungssprache: Deutsch  
(30) Angaben zur Priorität: 102 25 099.5 5. Juni 2002 (05.06.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): PHILIPS SEMICONDUCTORS DRESDEN AG [DE/DE]; Am Waldschlösschen 1, 01099 Dresden (DE).  
(72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): BETZINGER, Helge [DE/DE]; Förstereistrasse 9, 01099 Dresden (DE). TANG, Yubi [CN/DE]; Wundtstrasse 5/2R4, 01217 Dresden (DE).  
(74) Anwalt: ADLER, Peter; Lippert, Stachow, Schmidt & Partner, Krenkelstrasse 3, 01309 Dresden (DE).  
(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR THE CODING/DECODING OF VLIW CACHED INSTRUCTIONS

(54) Bezeichnung: VERFAHREN ZUM CODIEREN/DECODIEREN VON VLIW CACHED BEFEHLEN



(57) Abstract: The invention relates to a method for the control of functional units in a processor. During a configuration phase, a series of primary instruction words from the translation of a programme code are subjected to a division into series of instruction word bits, whereby the instruction words controlling the processor during a programme execution are generated with the full instruction word size and buffered in an instruction word memory (cache). According to the invention, the aim of increasing the processor performance in the execution phase by increasing the degree of compression of the primary instruction words into the divided instruction word bits thereof, independent of special features (such as periodicity) of the FIW (Function Instruction Word bit) is achieved, whereby the division of a primary instruction word into a TVLIW (Tagged Very Long Instruction Word) occurs in a first step during the configuration phase and the given TVLIW is transformed into a HVLWI (Headed Very Long Instruction Word) in a second step. A general header is given in the HVLWI. The HVLWI, with the code-compressed structure thereof, replaces all functions of the TVLIW (1).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Ansteuerung von Funktionseinheiten in einem Prozessor, wobei in einer Konfigurationsphase eine aus einer Übersetzung eines Programmcodes stammende Folge von Primärinstruktionsworten eine Fraktionierung in eine Folge von Instruktionswortteile erfährt, wobei in einem Programmablauf den Prozessor ansteuernde Instruktionsworte in der vollen Instruktionswortbreite erzeugt und in einem Instruktionswortspeicher (Cache) zwischengespeichert werden. Die erfindungsgemäße Aufgabenstellung, in der Ausführungsphase eine Steigerung

der Prozessorperformance durch Erhöhung

[Fortsetzung auf der nächsten Seite]



CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL,

PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

---

des Komprimierungsgrad der Primärinstruktionsworte in ihre fraktionierten Instruktionswortteilen unabhängig von speziellen Merkmalen (z. B. Periodizität) der FIW (Funktions-Instruktions-Wortteile) zu erreichen, wird dadurch gelöst, dass in der Konfigurationsphase in einem ersten Schritt die Fraktionierung eines Primärinstruktionswortes in ein TVLIW (Tagged Very Long Instruction Word) erfolgt und in einem zweiten Schritt wird jeweils das vorliegende TVLIW in ein HVLIW (Headed Very Long Instruction Word) gewandelt. In dem HVLIW wird ein General Header vorangestellt. Das HVLIW ersetzt mit seiner codeverdichteten Struktur alle Funktionen des TVLIW (1).

5

### Verfahren zum codieren/decodieren von VLIW cached Befehlen

Die Erfindung betrifft ein Verfahren zur Ansteuerung von Funk-  
tionseinheiten in einem Prozessor, wobei in einer Konfigurati-  
10 onsphase eine aus einer Übersetzung eines Programmcodes stam-  
mende Folge von Primärinstruktionsworten eine Fraktionierung in  
eine Folge von Instruktionswortteile erfährt und in einem Pro-  
grammablauf nachfolgend den Prozessor ansteuernde Instrukti-  
15 onsworte in der vollen Instruktionswortbreite als VLIW (Very Long  
Instruction Word) erzeugt und in einem Instruktionswortspeicher  
(Cache) zwischengespeichert werden.

Hierzu sind verschiedene Lösungen, die eine jeweils vorteilhaft-  
20 e Variante zur Synthese eines VLIW (Very Long Instruction  
Word) aus den im Programmablauf auftretenden Instruktionsworte  
behandeln, bekannt.

Ihnen ist gemeinsam, dass die Primärinstruktionsworte, welche  
25 aus einer Übersetzung des Programmcodes resultieren, als Folge  
fraktionierter Instruktionswortteile generiert werden.

So erfolgt der Aufbau eines aktuellen VLIW aus einer begrenzten  
Anzahl von Funktionsinstruktionsworten (FIW), wobei jedes die-  
30 ser FIW genau eine Funktionseinheit (FU) des Prozessors ansteu-  
ert.

Die Deutsche Patentschrift DE 198 59 389 C1 charakterisiert den  
Stand der Technik für Verfahren der eingangs genannten Art.

35

Bei dieser Lösung erfolgt die Fraktionierung der im Programm  
vorliegender Primärinstruktionsworte in einzelnen Programmwor-

te, welche auch vorteilhaft als TVLIW (Tagged Very Long Instruction Word)-Container bezeichnet werden.

5 TVLIW-Container deshalb, weil dem einzelnen Programmwort neben einem Informationsteil, der vorwiegend durch ein FIW (Funktionsinstruktionswort) repräsentiert wird, auch die Angaben über die Schreib- und Lesezeilennummer eines einzusetzenden Instruktionswortspeichers, zugehörig ist. Letztere Angaben stellen eine Kennung (Tag) zum FIW dar.

10

Außerdem gehören zum Programmwort auch die Angaben, wie mit dem jeweiligen Inhalt des so gekennzeichneten Instruktionswortspeichers zu verfahren ist, und werden somit durch eine Operationscode (Opcode) repräsentiert.

15

Bei dem o.g. Verfahren werden in günstiger Weise die Datenbreite des im Prozessor zu verarbeitenden Programmmes verringert, um den Hardwareaufwand und damit die Kosten für die Realisierung des jeweiligen Prozessors niedrig zu halten.

20

Weiterhin sind verschiedene Lösungen bekannt, die eine jeweils vorteilhafte Variante zur Synthese eines VLIW (Very Long Instruction Word) aus den im Programmablauf auftretenden FIW behandeln.

25

So ist durch die Druckschrift 102 03 541.5 zur deutschen Patent-Anmeldung der weiterführende Stand der Technik umrissen.

30

Bei diesem wird die in einer Konfigurationsphase durchgeführte Fraktionierung der Primärinstruktionsworte durch eine anschließende verfahrensmäßige maschinelle Ähnlichkeits-Analyse erweitert, in deren Folge, die mit bestimmten Ähnlichkeitsmerkmalen (periodische Eigenschaft) ausgewählten und somit mehrfach verwendbaren Instruktionswortteile zusammengefasst werden.

35

Diese Folge von Instruktionswortteilen wird mit einem diesbezüglich gemeinsamen Operationscode und einer für alle Glieder der Folge gültige Kennzeichnung ihrer periodische Eigenschaft,

die mit der Anzahl der Glieder ergänzt wird, in der anschließenden Verarbeitungsphase zur Erzeugung des VLIW verwendet.

Auf diese Weise wird bei diesem speziellen Komprimierungsvorgang in der Konfigurationsphase die Auswahl und Kennzeichnung der Instruktionswortteile vorgenommen, die in der Ausführungsphase zur Zwischenspeicherung vorgesehen sind und damit bei der Wiederverwendung gleicher Instruktionswortteile Prozessor-Performance sparen.

Bei der zunehmenden Komplexität der Prozessoren und den Anforderungen an die Verarbeitungsgeschwindigkeit wird ersichtlich, dass eine höhere Kompression bei der Codierung der Instruktionswortteile und deren Decodierung zur Erzeugung des VLIW (Very Long Instruction Word) erreicht werden muss, da eine anderweitige Erhöhung der Verarbeitungsgeschwindigkeit, z.B. durch eine Erhöhung der Arbeitstaktfrequenzen, an physikalische Grenzen stößt.

Aufgabe der Erfindung ist es, in der Ausführungsphase eine Steigerung der Prozessorperformance durch Erhöhung des Komprimierungsgrad der Primärinstruktionsworte in ihre fraktionierten Instruktionswortteilen unabhängig von speziellen Merkmalen (Periodizität) der FIW zu erreichen.

Die erfindungsgemäße Aufgabenstellung wird dadurch gelöst, dass in einem ersten Schritt die Fraktionierung eines Primärinstruktionswortes in der Konfigurationsphase, in die Folge einer bestimmten Anzahl von Instruktionswortteilen, die in der Ausführungsphase für den Aufbau eines jeweiligen VLIW verwendet werden, erfolgt.

Dabei wird einem jeweiligen ersten und zweiten FIW (Funktions-Instruktionswortteil) ein ihm zugehöriger erster oder zweiter Operationscode vorangestellt. Dieser bestimmt damit, wie in der Ausführungsphase mit dem durch das jeweilige FIW belegten Speicherplatz des Cache umgegangen wird.

Weiterhin anschließt sich dem jeweiligen ersten oder zweiten Operationscode eine zugehörige erste oder zweite Kennung an, die die Information darstellt, welche erste oder zweite FU das jeweilige FIW ansteuert.

5

Es werden jeweils der erste bzw. der zweite Operationscode und ihre zugehörige erste bzw. zweite Kennung mit den jeweiligen ersten bzw. zweiten FIW zu dem ersten bzw. zweiten TVLIW Container zusammengefasst.

10

Hierbei repräsentieren diese in ihrer Gesamtheit das TVLIW.

In einem zweiten Schritt wird in der Konfigurationsphase das jeweils vorliegenden TVLIW in ein HVLIW gewandelt. In dem HVLIW wird ein General Header vorangestellt.

15

Bei der Wandlung des TVLIW in das HVLIW gilt, dass dieses mit seiner enthaltenen codeverdichteten General Header Struktur alle Funktionen des TVLIW ersetzt.

20

In einer Variante wird die erfindungsgemäße Aufgabenstellung dadurch gelöst, dass eine Betriebsart "Command Code" des HVLIW und seines zugehörigen General Headers realisiert wird. In diesem General Header ist die Information codiert abgelegt, die alle Kombinationen angibt, welches erste und zweite FIW (Instruktionswortteil), nach Decodierung, in der Ausführungsphase, zur Ansteuerung einer jeweiligen ersten und/oder zweiten FU (Funktionseinheit) des Prozessors vorgesehen ist.

25

Weiterhin ist im General Header abgelegt, welches erste und/oder zweite FIW Speicherplätze des Cache belegt und ob bzw. welche Operation mit dem jeweiligen Speicherinhalt beim Aufbau des VLIW in der Ausführungsphase im Cache ausgeführt werden sollen.

30

Diese Lösung zielt darauf ab, dass in der Betriebsart "Command Code" des HVLIW durch eine Zusammenfassung von mehreren FIW und einer dazu gehörigen Zusammenfassung der Angaben, welches der FU von welchem FIW anzusteuern ist, sowie welche FIW beim Auf-

35

bau des VLIW bestimmte Speicherplätze des Cache belegt und welche Operation dann mit deren Speicherinhalt bezüglich anderer Speicherplätze des Cache ausgeführt werden, die angestrebte Kompression der Instruktionen realisiert wird.

5

Auf diese Weise werden Speicherplatz gespart und Prozessorperformance geschont.

10

Es wird eine vorteilhafte Ausprägung der Variante der erfindungsgemäßen Lösung der Aufgabenstellung dadurch erreicht, dass in dem ersten Teil des General Headers ein Header Mode, welcher eine Information über die Betriebsart "Command Code" des HVLIW und des General Headers enthält, bereitgestellt wird.

15

Diesem anschließt sich ein zweiter Teil an, in dem die jeweilige meist gebrauchten Kombination, welche der jeweiligen FU durch welches erstes oder zweites FIW angesteuert wird, enthalten ist.

20

Diese meist gebrauchte Kombination ist als codierter Tabellenwert im Wörterbuch abgelegt.

25

Es wird ein dritter Teil als CE-Information (Cache-Extra-Information) angeschlossen, in dem ein Zeiger, der auf eine vorgesehene Stelle des Wörterbuches verweist, enthalten ist.

Als letzter Teil des General Headers ist die Zusatzinformation vorgesehen.

30

In unmittelbarer Reihenfolge an den General Header schließen sich die für den Aufbau des VLIW notwendigen ersten und zweiten FIW an.

35

Diese erfindungsgemäße Lösung hebt darauf ab, für die Betriebsart "Command Mode" einen strukturierten General Header bereitzustellen, der sehr flexibel ist und alle Arten von "Command Code" unterstützt. Dieser soll auch für Weiterentwicklungen und update seine Gültigkeit behalten und seine Kompressionsmöglich-

keiten absichern.

5 Eine weitere Variante der erfindungsgemäßen Lösung der Aufgabenstellung dadurch erreicht, dass eine Betriebsart "Referenz-Instruktion" des General Headers realisiert wird, bei der generell die zum Aufbau des VLIW in der Ausführungsphase vorgesehenen FIW im Cache zwischengespeichert werden.

10 Hierbei trägt der zugehörige Header Mode eine entsprechend decodierbare Kennung dieser Betriebsart "Referenz-Instruktion". Es wird die Betriebsart "Referenz-Instruktion" durch eine spezielles HVLIW eingeleitet.

15 In diesem ist eine Adressangabe enthalten, mit der auf eine Referenz-Instruktion verwiesen wird.

20 Weiterhin ist im nachfolgenden HVLIW, welches ebenfalls die Kennung der Betriebsart "Referenz-Instruktion" trägt, eine relative Adresse bezüglich der durch den Verweis vorliegenden Adresse enthalten.

Daran wird eine Maske angefügt, welche die von der Ansteuerung auszuschließenden FU repräsentiert.

25 Bei dieser günstigen Variante der erfindungsgemäßen Lösung werden durch die Realisierung der speziellen Betriebsart "Referenz-Instruktion" von HVLIW die großen Instruktionen für den Prozessor-Kernel vermieden, die z.B. auch im Header Mode "Command Code" groß ausfallen, weil sie für eine Vielzahl von FU  
30 (Funktionseinheiten) anwendbar sein müssen.

Dadurch sind auch jeweils Start- und Beendigungs-Phasen der Instruktionen zur Ansteuerung der Grundbestandteile der einzelnen FU notwendig.

35 Aufgrund vieler gleicher FIW, die zur Ansteuerung der FU in den Instruktionen z.B. in Digitalen Signal-Prozessoren (DSP) auftreten, ist aus der Kenntnis der Instruktionen für den Prozes-

sor-Kernel ersichtlich, dass die jeweiligen Start- und Beendigungs-Phasen der Instruktionen für die jeweiligen FU redundant sind.

- 5 Diese Redundanz wird durch die erfindungsgemäße Lösung vermieden, in dem mittels des HVLIW, welches die Betriebsart "Referenz-Instruktion" einleitet, eine Adressangabe als einer Referenz vorgegeben wird.
- 10 Im nachfolgenden HVLIW der Betriebsart "Referenz-Instruktion" wird in seinem General Header nur eine relative Adresseangabe mitgeteilt, mittels der das erforderliche FIW in der Ausführungsphase decodiert werden kann.
- 15 Ebenfalls in diesem HVLIW wird, an den General Header anschließend, die erste und/oder zweite FU (Funktionseinheit), für die diese bestimmte Instruktion nicht verwendet werden soll, codiert angegeben.
- 20 Diese Angabe kann als Maske, welche die Ansteuerung von FU ausschließen, wesentlich kürzer gestaltet werden als eine Angabe aller ansteuernden FIW.

25 Somit brauchen bei HVLIW in der Betriebsart "Referenz-Instruktion" die jeweiligen Start- und Beendigungs-Phasen des für die Ansteuerung der vorgesehenen FU bestimmten FIW im General-Header nur einmal angegeben werden.

Auf diese Weise wird Speicherplatz gespart.

- 30 Da mit dieser Kompression es nicht notwendig ist, die jeweiligen vollständigen Start- und Beendigungs-Phasen der Instruktionen beim VLIW Aufbau zu verarbeiten, wird folglich ebenfalls die Prozessorperformance in der Ausführungsphase auch weniger
- 35 belastet.

Eine spezielle Variante der erfindungsgemäßen Lösung der Aufgabenstellung, welche die Betriebsart des General Headers "Refe-

renz-Instruktion" lokal günstig realisiert, wird dadurch erreicht, dass das spezielle HVLIW, welches die Betriebsart "Referenz-Instruktion" einleitet, als enthaltene Adressangabe auf das vorhergehende HVLIW verweist.

5

Eine weitere spezielle Variante der erfindungsgemäßen Lösung der Aufgabenstellung, welche die Betriebsart des General Headers "Referenz-Instruktion" global günstig realisiert, wird dadurch erreicht, dass das spezielle HVLIW, welches die Betriebsart "Referenz-Instruktion" einleitet, als enthaltene Adressangabe auf eine allgemeine Adresse verweist.

10

Eine vorteilhafte Erweiterung zur Lösung der erfindungsgemäßen Aufgabenstellung speziell für die Betriebsart "Command Code" des HVLIW wird dadurch erreicht, dass in der Ausführungsphase das HVLIW in einem Decoder1 decodiert wird, welcher mit einem Header-Decoder, einer CMDT (Command-Code-Decompression-Tabelle), einem Cache und einer Cache-Miss-Reparatur-Logik ausgestattet ist, wobei das HVLIW zwischengespeichert vorliegt.

20

Der Header-Decoder erkennt die Betriebsart "Command Code" des General-Headers aus dem dort gespeicherten Header Mode.

25

Weiterhin werden entsprechend des erkannten Header Mode die im General Header vorliegenden Werte der FU-C durch Vergleich mit der CMDT und in Verbindung mit der ebenfalls aus dem General Header entnommenen CE-Information dekomprimiert.

30

Entsprechend des erkannten Header Modes wird die Zusatzinformation des General Headers verarbeitet..

35

Ein möglicher Fehlzugriff beim Zwischenspeichern im Cache (Cache-Miss) wird durch den Ablauf einer Fehlerbehandlungsroutine in der Cache-Miss-Reparatur Logik behoben.

Abschließend wird das gültige VLIW am Ausgang des Decoders bereitgestellt.

Die Erfindung soll anhand eines Ausführungsbeispiels näher erläutert werden.

Die Fig. 1 zeigt eine Blockübersicht in dem die Kompressions-  
5 schritte dargestellt werden, welche in der Konfigurationsphase zur erfindungsgemäßen Wandlung des TVLIW 1 in das HVLIW 10 in der Betriebsart "Command Code" auszuführen sind.

10 In Fig. 2 ist eine Blockübersicht des erfindungsgemäßen Decoder 23 dargestellt, der in der Ausführungsphase das komprimierte HVLIW 10 in der Betriebsart "Command Code" in das VLIW 22 dekomprimiert und dekodiert, um damit den Prozessor 21 anzu-  
steuern.

15 Wie in Figur 1 ersichtlich, ist in der Konfigurationsphase der Ausgangspunkt für die erfindungsgemäße Komprimierung das Vorliegen des TVLIW 1. Dieses besteht im Ausführungsbeispiel aus ersterem und zweitem TVLIW Container 11; 12.

20 Der jeweilige erste bzw. zweite TVLIW Container 11; 12 liegt mit seinen Bestandteilen, dem ersten bzw. zweiten Operationscode 2; 5, der ersten bzw. zweiten Kennung 3; 6 und dem ersten bzw. zweiten FIW 4; 7, vor.

25 In der auftretenden Reihenfolge wird jeweils ein TVLIW Container dem Code-Umsetzer 18 zugeführt und gleichzeitig wird im Code-Analyzer 8 die Kombination der drei Bestandteile eines TVLIW Containers auf ihre Häufigkeit ihres Auftretens in Bezug auf die weiteren TVLIW Container des jeweiligen TVLIW 1 durch Ver-  
30 gleich mit den Angaben des Wörterbuches 9 ermittelt.

Diese Angaben werden dem Code-Umsetzer 18 zur Verfügung gestellt. Dieser codiert daraus je nach der vorgesehenen Betriebsart den General Header 13 und verknüpft ihn mit den je-  
35 weiligen ersten bzw. zweiten FIW 4; 7, welche von den hinter-

einander bereitgestellten ersten bzw. zweiten TVLIW Containern 11; 12 entnommen werden.

Wenn alle TVLIW Container des TVLIW 1 abgearbeitet sind, wird  
5 der strukturierte General Header 13 bereitgestellt und liegt in  
den Teilen Header Mode 14, FU-C-Information 15, CE-Information  
16 und Zusatzinformation 17 vor. Der General Header 13 wird der  
Folge von ersten bzw. zweiten FIW 4; 7 vorangestellt. Damit  
wird ein nun vollständiges HVLIW 10 im Speicher abgelegt.

10

Nachfolgend kann ein weiteres TVLIW 1 komprimiert werden.

Das Ende der erfindungsgemäßen Kompression ist erreicht,  
wenn alle TVLIW 1 in ein jeweiliges HVLIW 10 gewandelt sind.

15

Wie in Figur 2 ersichtlich, wird in der Ausführungsphase nach  
dem Zwischenspeichern (fetch) der Instruktionen und dadurch mit  
der Bereitstellung des HVLIW 10 und Decodieren dessen Header  
Mode 14 mit der vorliegenden Betriebsart "Command Code", der  
20 Einsatz des erfindungsgemäßen Decoder1 (23) zum Dekomprimie-  
ren/Dekodierens des HVLIW 10 ausgelöst.

Nachfolgend wird der General Header 13 als Bestandteil des  
HVLIW 10 in seinen Bestandteilen im Cache 26 zwischengespei-  
25 chert und mittels dem Header Decoder 24 decodiert.

Zuerst wird mittels dem ersten Teil des General Header 13, dem  
Header Mode 14, seine Betriebsart erkannt und der Decoder1 23  
entsprechend eingestellt.

30

Aus dem zweiten Teil des General Header 13, der FU-C-  
Information 15, wird die Informationen für die erste bzw. zwei-  
te FU 19; 20 entnommen, welche der ersten bzw. zweiten FIW 4;7  
von der CMDT 25 berücksichtigt werden müssen.

35

Aus dem dritten Teil des General Header 13, der CE-Information 16 wird der zu berücksichtigende Bereich der CMDT 25 verarbeitet. Aus dem letzten Teil des General Header 13 wird die Zusatzinformationen 17 entnommen.

5

Ein evtl. erkannter Fehlzugriff des Cache 26 wird von der Cache-Miss-Repair-Logik 27 behoben.

10

Mit diesen Informationen wird das VLIW 22 aufgebaut, indem die jeweiligen ersten und /oder zweiten FIW 4;7 in der dekodierten Reihenfolge und Position, in der die erste bzw. zweite FU 19; 20 entsprechend am Prozessor 21 nachfolgend angesteuert wird, im VLIW 22 angeordnet werden.

15

5

**Verfahren zum codieren/decodieren von VLIW cached Befehlen**

10

**Bezugszeichenliste**

- 1 TVLIW (Tagged Very Long Instruction Word)
- 2 erster Operationscode
- 3 erste Kennung
- 15 4 erstes FIW (Funktions-Instruktions-Wortteil)
- 5 zweiter Operationscode
- 6 zweite Kennung
- 7 zweites FIW
- 8 Code-Analyzer
- 20 9 Wörterbuch
- 10 HVLIW (Headed Very Long Instruction Word)
- 11 erster TVLIW Container
- 12 zweiter TVLIW Container
- 13 General Header
- 25 14 Header Mode
- 15 FU-C-Information (FunctionUnit-Combination-Information)
- 16 CE-Information (Cache Extra-Information)
- 17 Zusatzinformation
- 18 Code-Umsetzer
- 30 19 erste FU (Funktionseinheit)
- 20 zweite FU (Funktionseinheit)
- 21 Prozessor
- 22 VLIW (Very Long Instruction Word)
- 23 Decoder1
- 35 24 Header-Decoder

- 25 CMDT (Command-Code-Decompression-Tabelle)
- 26 Cache
- 27 Cache-Miss-Repair-Logik

5

**Verfahren zum codieren/decodieren von VLIW cached Befehlen**

10

**Patentansprüche**

1. Verfahren zur Ansteuerung von Funktionseinheiten in einem Prozessor, wobei in einer Konfigurationsphase eine aus einer Übersetzung eines Programmcodes stammende Folge von Primärinstruktionsworten eine Fraktionierung in eine Folge von Instruktionswortteile erfährt, wobei in einem Programmablauf den Prozessor ansteuernde Instruktionsworte in der vollen Instruktionswortbreite zu einem VLIW aufgebaut und in einem Instruktionswortspeicher (Cache) zwischengespeichert werden, dadurch gekennzeichnet, dass die Fraktionierung eines Primärinstruktionswortes in der Konfigurationsphase, in einem ersten Schritt in die Folge einer bestimmten Anzahl von Instruktionswortteilen, die in der Ausführungsphase für den Aufbau eines jeweiligen VLIW verwendet werden, erfolgt, wobei einem jeweiligen ersten und zweiten FIW (Funktions-Instruktions-Wortteil) (4), (7) ein ihm zugehöriger erster oder zweiter Operationscode (2), (5) vorangestellt wird, der damit bestimmt, wie in der Ausführungsphase mit dem durch das jeweilige FIW belegten Speicherplatz des Cache umgegangen wird, dass sich dem jeweiligen ersten oder zweiten Operationscode (2), (5) eine zugehörige erste oder zweite Kennung (3), (6) anschließt, die die Information darstellt, welche erste oder zweite FU (19), (20) das jeweilige FIW ansteuert, dass die ersten oder zweiten Operationscode (2), (5) und ihre zugehörigen ersten oder zweiten Kennung (3), (6) mit

den jeweiligen ersten und zweiten FIW (4), (7) zu dem ersten bzw. zweiten TVLIW Container (11), (12) zusammengefasst werden, wobei diese in ihrer Gesamtheit das TVLIW (1) repräsentieren,

5 dass in einem zweiten Schritt in der Konfigurationsphase das jeweils vorliegenden TVLIW (1) in ein HVLIW (10) gewandelt wird, wobei in dem HVLIW (10) ein einvorangestellter General Header (13) enthalten ist,

10 dass das HVLIW (10) mit seiner codeverdichteten Struktur alle Funktionen des TVLIW (1) ersetzt.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass eine Betriebsart "Command Code" des HVLIW (10) und seines zugehörigen General Headers (13) realisiert wird,

15 dass in unmittelbarer Reihenfolge an den General Header (13) sich die für den Aufbau des VLIW (22) notwendigen ersten und zweiten FIW (4), (7) anschließen,

20 dass in diesem General Header (13) die Information codiert abgelegt ist, die alle Kombinationen angibt, welches erste und zweite FIW (Instruktionswortteil) (4), (7), nach Decodierung, in der Ausführungsphase, zur Ansteuerung einer jeweiligen ersten und/oder zweiten FU (Funktionseinheit) (19), (20) des Prozessors (21) vorgesehen ist,

25 dass im General Header (13) abgelegt ist, welches erste und/oder zweite FIW (4), (7) Speicherplätze des Cache (26) belegt und ob bzw. welche Operation mit dem jeweiligen Speicherinhalt bei Aufbau des VLIW (22) in der Ausführungsphase im Cache (26) ausgeführt werden sollen.

30 3. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, dass

in dem erstem Teil des General Headers (13) ein Header Mode (14), welcher eine Information über die Betriebsart "Command Code" des HVLIW (10) und des General Headers (13) enthält, bereitgestellt wird,

35 dass diesem sich ein zweiter Teil anschließt, in dem als Tabellenwerte codiert, die jeweilige meist gebrauchten Kombination abgelegt ist, welche der jeweiligen FU durch

welches erstes oder zweites FIW (3),(7) angesteuert wird, dass ein dritter Teil als CE-Information (16), angeschlossen wird, in dem ein Zeiger, der auf eine vorgesehene Stelle des Wörterbuches (9) verweist, enthalten ist, dass als letzter Teil des General Headers (13) die Zusatzinformation (17) vorgesehen ist.

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass eine Betriebsart "Referenz-Instruktion" des HVLIW (10) und des enthaltenen General Headers (13) realisiert wird, bei der die zum Aufbau des VLIW (22) in der Ausführungsphase vorgesehenen FIW im Cache (26) zwischengespeichert werden, wobei der zugehörige Header Mode (14) eine entsprechend dekodierbare Kennung dieser Betriebsart "Referenz-Instruktion" trägt, dass die Betriebsart "Referenz-Instruktion" durch ein spezielles HVLIW (10) eingeleitet wird, in dem eine Adressangabe enthalten ist, mit der auf eine Referenz-Instruktion verwiesen wird, dass im nachfolgenden HVLIW (10), welches ebenfalls die Kennung der Betriebsart "Referenz-Instruktion" trägt, eine relative Adresse bezüglich der durch den Verweis vorliegenden Adressangabe enthalten ist, dass daran eine Maske der von der Ansteuerung auszuschließenden FU angefügt wird.
5. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass das spezielle HVLIW (10), welches die Betriebsart "Referenz-Instruktion" einleitet, mit seiner Adressangabe auf das vorhergehende HVLIW (10) verweist.
6. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass das spezielle HVLIW (10), welches die Betriebsart "Referenz-Instruktion" einleitet, mit seiner Adressangabe auf eine allgemeine Adresse verweist.
7. Verfahren nach Ansprüchen 1 bis 3, dadurch gekennzeichnet,

dass in der Ausführungsphase das HVLIW (10) in einem Decoder1 (23) decodiert wird, welcher mit einem Header-Decoder (24), ein CMDT (25), einem Cache (26) und eine Cache-Miss-Reparatur Logik (27) ausgestattet ist, wobei das HVLIW (10) im Cache (26) zwischengespeichert wird und der Header-Decoder (24) die Betriebsart des General-Headers (13) aus dem dort gespeicherten Header Mode (14) erkennt,

dass entsprechend des erkannten Header Mode (14) die im General Header (13) vorliegenden Werte der FU-C-Information (14) durch Vergleich mit der CMDT (25) und in Verbindung mit der ebenfalls aus dem General Header (13) entnommenen CE-Information (16) dekomprimiert werden,

dass entsprechend des erkannten Header Modes (14) die Zusatzinformation (17) des General Headers (13) verarbeitet werden,

dass ein möglicher Fehlzugriff beim Zwischenspeichern im Cache (26) (Cache-Miss) durch den Ablauf einer Fehlerbehandlungsroutine in der Cache-Miss-Reparatur-Logik (28) behoben wird,

dass das gültige VLIW (22) am Ausgang des Decoder1 (23) bereitgestellt wird.

**THIS PAGE BLANK (USPTO)**

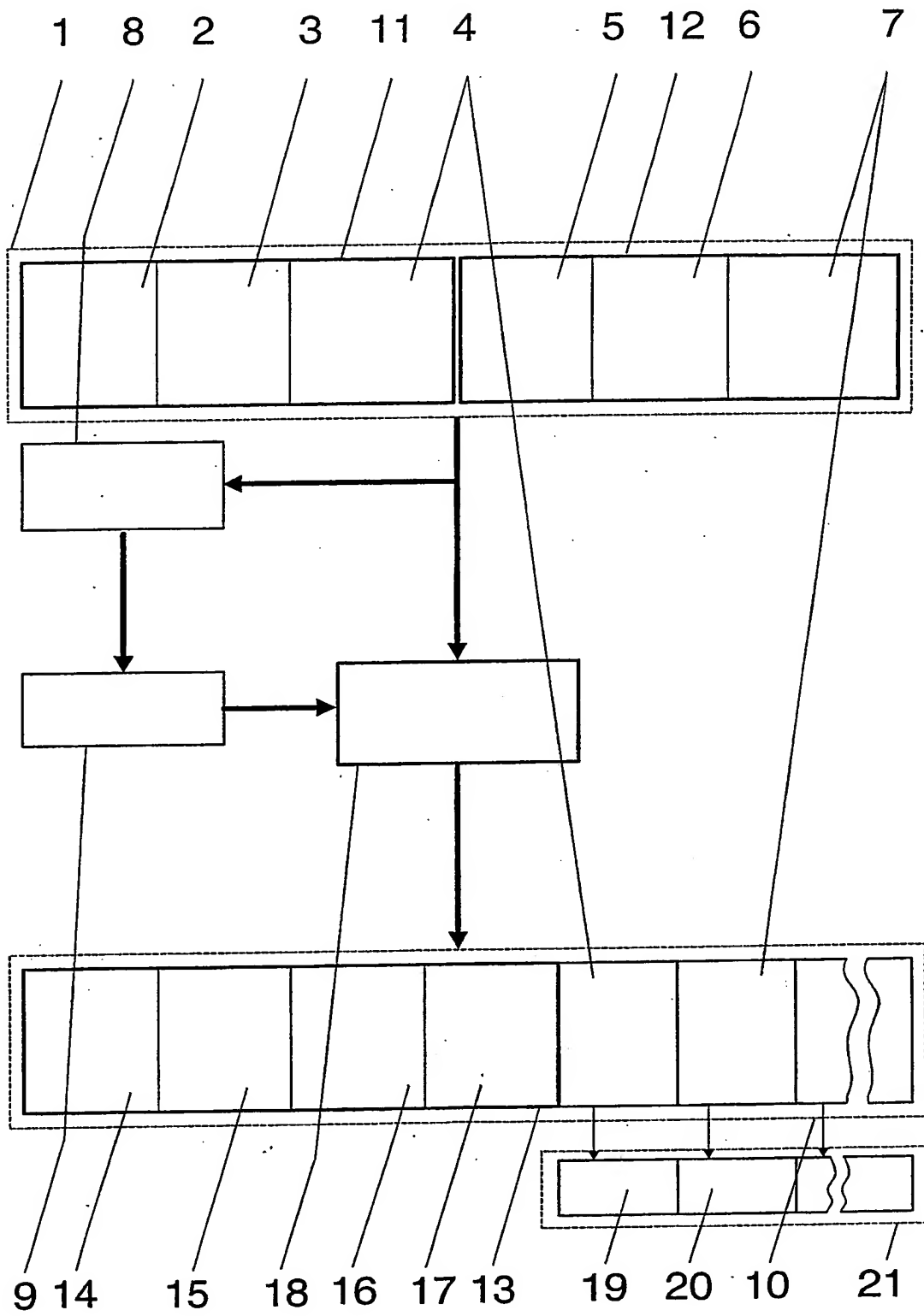


Fig.1

DT15 P... 03 DEC 2004

**THIS PAGE BLANK (USPTO)**

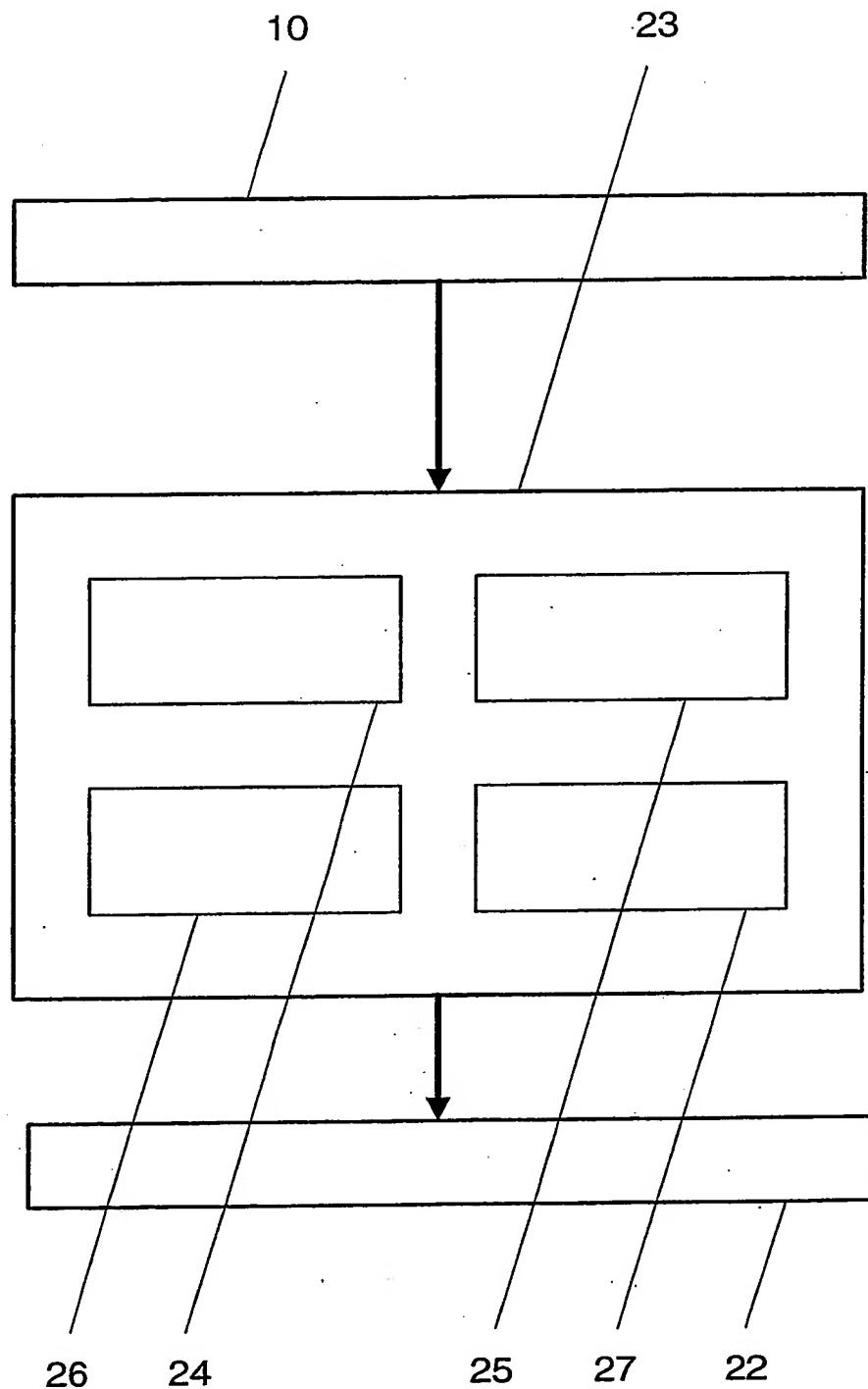


Fig. 2

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**